

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

THIS PAGE BLANK (USPTO)



⑮ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Offenlegungsschrift**
⑩ **DE 100 51 380 A 1**

⑤① Int. Cl.⁷:
H 01 L 21/336
H 01 L 21/311
H 01 L 21/312

⑳ Aktenzeichen: 100 51 380.8
㉔ Anmeldetag: 17. 10. 2000
㉕ Offenlegungstag: 22. 8. 2002

DE 100 51 380 A 1

㉑ **Anmelder:**
Advanced Micro Devices, Inc., Sunnyvale, Calif., US

㉒ **Vertreter:**
Grünecker, Kinkeldey, Stockmair & Schwanhäusser,
80538 München

㉓ **Erfinder:**
Aminpur, Massud A., 01127 Dresden, DE

⑤⑥ **Entgegenhaltungen:**
DE 198 57 094 A1
DE 39 15 650 A1
EP 3 94 597 A1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ **Verfahren zur Herstellung eines Halbleiterbauteils unter Anwendung eines Schrumpfprozesses eines Strukturmerkmals**

⑤⑦ In der standardmäßigen DUV-Lithographietechnologie ist es nicht einfach, MOS Transistorgates im unter 100 nm-Bereich zu erhalten. Mit dem Verfahren des Schrumpfens in H_2O_2 Plasmen gibt es eine Möglichkeit, die gegenwärtigen Lithographiewerkzeuge zu verwenden, die Abmessungen des Fotolackstrukturmerkmals zu verringern und MOS Transistorgates unter 100 nm für verbesserte Bauteile zu erreichen. Das Verfahren des Trimmens in H_2O_2 Plasmen liefert einen weiteren Faktor zur Steuerung der kritischen Dimension von MOS Bauteilen in sehr genauer Weise. Daher hilft die Erfindung, die Gesamtkosten zur Herstellung seiner MOS Bauteile mit einer kritischen Dimension im unter 100 nm-Bereich deutlich zu verringern.

DE 100 51 380 A 1

1. GEBIET DER ERFINDUNG

[0001] Die vorliegende Erfindung betrifft ein Verfahren zum Herstellen eines Halbleiterbauteils unter Anwendung eines Schrumpfpzesses von Strukturmerkmalen, um eine Merkmalsgröße zu erhalten, die kleiner als die lithographische Auflösungsgrenze ist. Die vorliegende Erfindung betrifft insbesondere ein Verfahren zur Herstellung eines Halbleiterbauteils unter Anwendung eines lithographischen Verfahrens zur Herstellung eines Fotolackstrukturmerkmals an einer Oberfläche des Halbleiters und zum Ätzen des Fotolackstrukturmerkmals in einer seitlichen Richtung unter Anwendung eines reaktionsgehemmten Ätzmittels.

2. BESCHREIBUNG DES STANDS DER TECHNIK

[0002] Der Herstellungsprozess von integrierten Schaltungen beinhaltet die Herstellung von zahlreichen Feldeffekttransistoren mit isoliertem Gate, etwa Metalloxidhalbleiterfeldeffekttransistoren (MOSFETs). Um die Integrationsdichte zu erhöhen und die Bauteileigenschaft zu verbessern, beispielsweise hinsichtlich der Signalverarbeitungszeit und der Leistungsaufnahme, werden die Strukturmerkmalsgrößen der Transistorstrukturen ständig verkleinert. Überaus bedeutend dabei ist, dass die Gatelänge der hergestellten Transistoren verringert werden muss, um mit diesen Anforderungen im Einklang zu sein.

[0003] In einem Feldeffekttransistor, etwa einem MOSFET, wird die Gateelektrode verwendet, um einen darunter liegenden in dem Halbleitersubstrat zwischen einem Sourcegebiet und einem Draingebiet gebildeten Kanal zu steuern. Der Kanal, das Sourcegebiet und das Draingebiet sind in, auf, und/oder über dem Halbleitersubstrat gebildet, das invers zu dem Drain- und Sourcegebieten dotiert ist. Die Gateelektrode ist von dem Kanal, dem Sourcegebiet, und dem Draingebiet durch eine dünne isolierende Schicht, im Allgemeinen eine Oxidschicht, getrennt.

[0004] Die Herstellung der Gateelektrode ist ein entscheidender Schritt im Herstellungsprozess des Feldeffekttransistors. Die Dimension der Gatelänge, d. h. die seitliche Ausdehnung der Gateelektrode zwischen dem Sourcegebiet und dem Draingebiet des Feldeffekttransistors in der Richtung des Stromflusses, ist im Allgemeinen als kritische Dimension der Gateelektrode bekannt. Diese kritische Dimension wird vorteilhafterweise auf Größen verringert, die sich dem Auflösungsvermögen des lithographischen Systems, das zur Strukturierung der Halbleitermerkmale verwendet wird, nähern oder gar überschreiten.

[0005] Typischerweise werden Bauteilmerkmale durch Lithographieverfahren definiert und bestimmt, insbesondere durch Fotolithographie, vorzugsweise unter Verwendung eines Linsensystems mit hoher numerischer Apertur und einer Lichtquelle im fernen Ultraviolettbereich (DUV). Die gegenwärtige DUV-Lithographie erreicht ihre Auflösungsgrenze bei einer Strukturmerkmalsgröße von ungefähr 0,2 µm (200 nm).

[0006] Gegenwärtig können Metalloxidhalbleiter-(MOS) Transistoren mit Gatelängen im unter 100 nm-Bereich nicht in einfacher Weise mit der herkömmlich bekannten DUV-Lithographietechnologie erreicht werden. Andere Herstellungsverfahren, die zum Erreichen derartige Gateelektroden im unter 100 nm-Bereich verwendet werden, etwa Strukturierung mit Elektronenstrahl, weisen einen verringerten Durchsatz und Ertrag auf und tragen damit deutlich zu den Produktionskosten in der Halbleiterindustrie bei. Ein derartiges MOS Transistorgate im unter 100 nm-Bereich ist je-

doch notwendig, um kleine Halbleiterbauteilelemente zu erhalten, die beispielsweise zur Erhöhung von Taktfrequenzen von in Computern verwendeten Prozessoren und zum Erreichen eines möglichst niedrigen Gatestromes, um eine nahezu ideale Spannungsverstärkung zu erreichen, benötigt werden.

[0007] Um den obigen Anforderungen gerecht zu werden, gibt es einen Bedarf für eine Technologie, um Strukturmerkmalsgrößen jenseits der Auflösungsgrenze der DUV-Lithographie zu erzeugen. Um den allgemeinen Anforderungen der Massenproduktion von Halbleiterbauelementen zu entsprechen, muss jede neue Technologie die gegenwärtigen Standards für Wirkungsgrad, Zuverlässigkeit und Kosten bereits bestehender Verfahren erhalten oder Verbesserungen in dieser Hinsicht bereitstellen.

[0008] Im Hinblick auf die oben erwähnten Probleme besteht ein Bedarf für ein Verfahren zur Strukturierung von Gateelektroden von Feldeffekttransistoren in integrierten Schaltungen auf eine geringere Größe als das Auflösungsvermögen von gegenwärtig verfügbaren standardmäßigen DUV-Fotolithographiewerkzeugen, das gegenwärtig bei ungefähr 200 nm liegt.

[0009] Die vorliegende Erfindung richtet sich an ein Verfahren zum Herstellen eines Halbleiterbauelements, das einige oder alle der zuvor erwähnten Probleme löst oder zumindest verringert.

ÜBERBLICK ÜBER DIE ERFINDUNG

[0010] Die vorliegende Erfindung stellt ein Verfahren zum Herstellen von Halbleiterbauelementen mit Strukturmerkmalsgrößen, die kleiner als die Auflösungsgrenze der zur Merkmalsdefinition verwendeten Lithographie sind, bereit.

[0011] Gemäß einem Aspekt der Erfindung wird ein Verfahren zur Herstellung eines Halbleiterelements bereitgestellt, mit: Bereitstellen eines Halbleitersubstrats mit einer Oberfläche, Bilden einer Schicht aus Gateelektrodenmaterial über der Oberfläche des Halbleitersubstrats, und Bilden eines Fotolackstrukturmerkmals über der Schicht des Gateelektrodenmaterials. Das Verfahren umfasst ferner, dass das Fotolackstrukturmerkmal eine seitliche Abmessung aufweist, Verringern der seitlichen Abmessung des Fotolackstrukturmerkmals, und Strukturieren zumindest der Schicht aus Gateelektrodenmaterial unter Anwendung des Fotolackstrukturmerkmals mit der verringerten seitlichen Abmessung.

[0012] Gemäß einem weiteren Aspekt der Erfindung wird ein Verfahren zur Herstellung eines Halbleiterelements bereitgestellt mit: Bereitstellen eines Halbleitersubstrats mit einer antireflektierenden Beschichtung und einer Oberfläche über der antireflektierenden Beschichtung, Bilden einer Schicht aus Gateelektrodenmaterial über der Oberfläche, und Bilden eines Fotolackstrukturmerkmals über der Schicht aus Gateelektrodenmaterial. Das Verfahren umfasst ferner, dass das Fotolackstrukturmerkmal eine seitliche Abmessung aufweist, das Verringern der seitlichen Abmessung des Fotolackstrukturmerkmals durch Ätzen des Fotolackstrukturmerkmals während eines Plasmaätzprozesses mit Wasserstoffjodid- und Sauerstoffplasma mit einer Ätzrate in der seitlichen Richtung, und Strukturieren zumindest der Schicht aus Gateelektrodenmaterial unter Verwendung des Fotolackstrukturmerkmals mit der verringerten seitlichen Abmessung.

[0013] Gemäß der vorliegenden Erfindung kann ein präziseres Schrumpfen der Gatelänge eines MOS Transistors erreicht werden, wenn das das Gate bildende Fotolackstrukturmerkmal anstelle der endgültigen Gateelektrode geschrumpft wird. Die hierin beschriebene Erfindung erlaubt

eine signifikante Verringerung von MOS-Transistorgateabmessungen und damit des gesamten MOS Transistors, und folglich kann eine deutliche Verringerung der Leistungsaufnahme des Gerätes und eine Erhöhung der Arbeitsgeschwindigkeit erreicht werden.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0014] Die Erfindung wird aus der folgenden Beschreibung in Zusammenhang mit den begleitenden Zeichnungen, in denen gleiche Bezugszeichen gleiche Elemente kennzeichnen, verständlich; es zeigen:

[0015] Fig. 1 eine schematische Querschnittsansicht eines Halbleitersubstrats nach Bilden eines Fotolackstrukturmerkmals gemäß dem Stand der Technik;

[0016] Fig. 2 eine schematische Querschnittsansicht des Halbleitersubstrats nach dem Schrumpfen des Fotolackstrukturmerkmals gemäß einer bevorzugten Ausführungsform dieser Erfindung; und

[0017] Fig. 3 eine schematische Querschnittsansicht des Halbleitersubstrats nach weiterem typischen Prozessieren des Substrats und des geschrumpften Fotolackstrukturmerkmals.

[0018] Obwohl die Erfindung diversen Modifikationen und alternativen Formen unterworfen ist, wurden spezifische Ausführungsformen davon beispielhaft in den Zeichnungen dargestellt und sind hierin detailliert beschrieben. Es ist jedoch selbstverständlich, dass die Beschreibung der speziellen Ausführungsformen nicht dazu gedacht ist, die Erfindung auf die speziellen offenbaren Formen zu beschränken, sondern im Gegenteil, es ist beabsichtigt, alle Modifikationen, Äquivalente und Alternativen, die innerhalb des Grundgedankens und Schutzbereichs der Erfindung, wie sie in den angefügten Patentansprüchen definiert ist, fallen, mit abzudecken.

DETAILLIERTE BESCHREIBUNG DER ERFINDUNG

[0019] Obwohl die vorliegende Erfindung mit Bezug zu der Ausführungsform, so wie sie in der folgenden detaillierten Beschreibung sowie in den Zeichnungen dargestellt ist, beschrieben ist, sollte es selbstverständlich sein, dass die folgende detaillierte Beschreibung sowie die Zeichnungen nicht beabsichtigen, die vorliegende Erfindung auf die spezielle offenbare Ausführungsform einzuschränken, sondern die beschriebene Ausführungsform gibt lediglich die diversen Aspekte der vorliegenden Erfindung, deren Schutzbereich durch die angefügten Patentansprüche definiert ist, wieder.

[0020] Mit Bezug zu Fig. 1 wird ein anschauliches Beispiel zur Bildung eines MOS Transistors gemäß einem typischen Prozess nach dem Stand der Technik beschrieben. Anzumerken ist, dass Fig. 1 sowie die folgenden Zeichnungen in dieser Anmeldung lediglich schematische Darstellungen der diversen Schritte beim Herstellen des anschaulich betrachteten Bauteils sind. Der Fachmann erkennt leicht, dass die in den Figuren gezeigten Abmessungen nicht maßstabsgetreu sind und dass unterschiedliche Bereiche oder Schichten nicht durch scharfe Grenzen, wie sie in den Zeichnungen dargestellt sind, getrennt sind, sondern statt dessen kontinuierliche Übergänge aufweisen. Ferner können diverse Prozessschritte wie sie im Folgenden beschrieben sind, unterschiedlich abhängig von speziellen Gestaltungsanforderungen ausgeführt werden. Weiterhin sind in dieser Beschreibung lediglich die relevanten Schritte und Bereiche des Bauteils, die für das Verständnis der vorliegenden Erfindung notwendig sind, berücksichtigt.

[0021] Fig. 1 zeigt einen schematischen Querschnitt eines

MOS Transistors in einem speziellen Stadium eines typischen Herstellungsprozesses nach dem Stand der Technik. In einem Siliziumsubstrat 1 sind Flachgrabenisolationen 2, z. B. aus Siliziumdioxid hergestellt, ausgebildet, die ein transistoraktives Gebiet 3 definieren, in dem ein Kanal, ein Draingebiet und ein Sourcegebiet gebildet werden. Über dem Substrat 1 ist eine Gateisolierschicht ausgebildet. Die Gateisolierschicht 5 kann durch diverse Techniken, z. B. thermisches Aufwachsen, chemisches Dampfabcheiden (CVD), und dergleichen gebildet werden, und kann diverse Materialien, z. B. ein Oxid, ein Oxynitrid, Siliziumdioxid und dergleichen umfassen. Anschließend wird eine Schicht aus Gateelektrodenmaterial 4 über der Gateisolierschicht 5 gebildet. Die Schicht aus Gateelektrodenmaterial 4 kann aus diversen Materialien, z. B. Polysilizium, einem Metall und dergleichen gebildet sein und kann durch diverse Techniken, z. B. CVD, niederdruckchemische Dampfabcheidung (LPCVD), Sputter-Abscheidung, und dergleichen gebildet werden. In einer anschaulichen Ausführungsform umfasst die Gateisolierschicht 5 eine thermisch gewachsene Siliziumdioxidschicht, und die Schicht aus Gateelektrodenmaterial 4 umfasst eine abgeschiedene Polysiliziumschicht.

[0022] Anschließend, wie in Fig. 1 gezeigt, kann eine antireflektierende Beschichtung 6, falls gewünscht oder notwendig, über der Schicht aus Gateelektrodenmaterial 4 gebildet werden. Die antireflektierende Beschichtung 6 kann in allen Anwendungen notwendig sein oder auch nicht. Bei Verwendung unterstützt die antireflektierende Beschichtung 6 ein anschließendes Strukturieren der Schicht aus Gateelektrodenmaterial 4 durch Verringern des Streuens und Reflektierens des in den Fotolithographieprozessen verwendeten Lichts. Selbstverständlich, kann wie zuvor erläutert wurde, die antireflektierende Beschichtung 6 nicht in allen Fällen notwendig sein und daher sollte diese nicht als eine Einschränkung der vorliegenden Erfindung betrachtet werden, sofern in den angefügten Ansprüchen nicht speziell darauf hingewiesen wird.

[0023] Der nächste Schritt beinhaltet das Bilden eines Fotolackstrukturmerkmals 7 aus einer Fotolackschicht (nicht gezeigt). Die bei der Strukturierung der Fotolackschicht zur Herstellung des Fotolackstrukturmerkmals 7 beteiligten Prozessschritte sind dem Fachmann wohl bekannt. Diese Schritte umfassen für gewöhnlich das Bilden einer Fotolackschicht mittels eines Aufschleuderprozesses und die Verwendung von kleinen Belichtungswellenlängen, etwa Wellenlängen im DUV-Bereich, während die notwendigen Fotolithographieschritte durchgeführt werden. Da diese Verfahren allgemein bekannt sind, wird deren Beschreibung weggelassen. Nach Strukturierung der Fotolackschicht, wird ein Fotolackstrukturmerkmal 7 gebildet, dass den Bereich bedeckt, an dem die Gateelektrode des Transistors zu bilden ist.

[0024] Fig. 2 zeigt einen schematischen Querschnitt des MOS Transistors aus Fig. 1, nachdem das Fotolackstrukturmerkmal 7 geschrumpft wurde, um ein geschrumpftes Fotolackstrukturmerkmal 8 zu definieren. Der Umriss 9 des Fotolackstrukturmerkmals 7 vor dem Schrumpfen ist als eine gestrichelte Linie gezeigt. In einer anschaulichen Ausführungsform wird das Schrumpfen durch Trockenätzen des Fotolackstrukturmerkmals 7 in einem Wasserstoffjodid/Sauerstoffplasma (HI/O_2) ausgeführt, um das Fotolackstrukturmerkmal 7 bis zu einer Abmessung im unter 100 nm-Bereich in einer seitlichen Richtung, die eine Richtung darstellt, die im Wesentlichen parallel zur Oberfläche des Substrats sowie zur Zeichenebene in Fig. 2 ist, zu schrumpfen.

[0025] Neben HI/O_2 Plasmen sind andere Ätzmittel, die ein Ätzhemmungsmittel enthalten, geeignet, um die Ätzrate zu verringern, so dass das zeitliche Steuern des Schrumpf-

vorganges vereinfacht wird. Beispielsweise umfassen anderen Ätzhemmmittel Wasserstoffbromid (HBr), Wasserstoffchlorid (HCl), Wasserstofffluorid (HF) und dergleichen. Ferner umfassen andere Ätzmittel, die in diesen Hemmmitteln verwendet werden können, Kohlenstoffmonoxid (CO), Kohlendstoffdioxid (CO₂) oder andere Sauerstoff enthaltende Gase. Schließlich können anstatt der Verwendung eines relativ schnellen Ätzmittels mit einem Hemmmittel, Ätzmittel verwendet werden, die an sich langsam sind. Zu derartigen Ätzmitteln gehören Wasserstoff (H) oder andere Wasserstoff enthaltende Gase.

[0026] Obwohl das Ätzen nicht notwendigerweise isotrop ist, sollte es zumindest eine im Wesentlichen seitliche Ätzkomponente aufweisen. Wenn Sauerstoff enthaltende Plasmaätzvorgänge verwendet werden, hat sich Jod als ein besonders geeigneter Ätzenhemmer erwiesen, da es eine geringere Eigenvorspannung als beispielsweise Fluor, Chlor oder Brom aufweist, woraus eine geringere Energie der Ionen resultiert, wenn diese auf die Substratoberfläche auftreffen.

[0027] Fig. 3 zeigt einen schematischen Querschnitt des MOS Transistors aus Fig. 2 nach Ätzen der antireflektierenden Beschichtung 6 und der Schicht aus Gateelektrodenmaterial 4, und nachdem alle verbleibenden Teile des geschrumpften Fotolackstrukturmerkmals 8 und der antireflektierenden Beschichtung 6 entfernt worden sind. Als Ergebnis dieses Verfahrens wird eine Gateelektrode 10, mit einer kritischen Dimension im unter 100 nm-Bereich aus der Schicht aus Gateelektrodenmaterial 4 gebildet.

[0028] In diversen anschaulichen alternativen Ausführungsformen kann das erfindungsgemäße Verfahren nicht nur auf MOS Transistoren sondern ebenfalls auf Metallisolatorbauelementen (MIS) Transistoren, und/oder andere integrierte Schaltungsbauteile angewendet werden.

[0029] Der Begriff "Fotolack", wie er hierin benutzt wird, ist so zu verstehen, um jedes geeignete Material einzuschließen, das eine darunterliegende Oberfläche während eines Prozessschritts schützt. Somit kann ein Fotolack eine beliebige organische oder anorganische chemische Substanz oder Verbindung sein, die ganzflächig aufgetragen und zur Strukturmerkmalsdefinition strukturiert werden kann. Der Fotolack muss eine prozessmäßige Selektivität im Verhältnis zu dem darunter liegenden Material, etwa deutlich unterschiedliche Ätzenraten, aufweisen, oder dieser vermag als ein Abschirmelement, beispielsweise zum Schutz der darunter liegenden Oberfläche vor Materialabscheidung oder Ionenbeschuss dienen. Ferner ist es möglich, einen wärmevariablen Fotolack zu verwenden, der auf kleinere Dimensionen schrumpft, zumindest im Wesentlichen in der seitlichen Richtung, wenn dieser mit Wärme behandelt wird. Beispielsweise kann ein wärmevariabler Fotolack, etwa UV5[®], UV110[™], oder K2G verwendet werden. Eine derartige Wärmebehandlung eines wärmevariablen Fotolacks umfasst üblicherweise einen Backprozess mit Temperaturen von ungefähr 90° bis 150°C und einer Dauer von ungefähr 2 Minuten und liefert eine Schrumpfung in der seitlichen Richtung von ungefähr 5 %.

[0030] Der im MOS Herstellungsprozess verwendete Fotolack wird gemäß einer anschaulichen Ausführungsform dieser Erfindung gewöhnlich aus der standardmäßigen DUV Fotolackgruppe gewählt, die UV5[®], UV110[™], oder K2G umfasst.

[0031] Der zusätzliche Schrumpfschritt während des Herstellungsprozesses des MOS Transistors umfasst im Wesentlichen das Schrumpfen des Fotolackstrukturmerkmals 7 in einer seitlichen Richtung, die eine Richtung im Wesentlichen parallel zu der Oberfläche des Substrats sowie der Zeichenebene in Fig. 2 ist. In einer Ausführungsform umfasst

das hierin beschriebene Schrumpfvorverfahren ein Plasmaätzen des Fotolackstrukturmerkmals 7. In einer illustrativen Ausführungsform werden in dem Plasmaätzprozess Plasmen verwendet, die Sauerstoff (O₂), und Jod (I) enthalten. Für die Jod enthaltenden Plasmen wird Wasserstoffjodid (HI) verwendet. Die Verwendung von Jod enthaltenden Plasmen führt zu einer geringeren Selbstvorspannung im Vergleich zu Fluor (F), Chlor (Cl) und Brom (Br) basierten Plasmen, was daran liegt, dass Jod in derartigen Plasmen stärker ionisiert wird. Daher haben in dem Ätzplasma erzeugten Ionen eine geringere Energie, wenn diese die Oberfläche des Substrats 1 treffen, wodurch eine geringere Beschädigung der Oberfläche erfolgt. Ferner weisen Jod enthaltende Plasmen eine Ätzrate auf, die besser steuerbar und geringer ist als bei Fluor, Chlor und Brom basierten Plasmen ist, und die zwischen ungefähr 0,8 nm/s und 3 nm/s liegt.

[0032] Gemäß einer Ausführungsform der vorliegenden Erfindung wird der Plasmareaktor für den Schrumpfschritt mit einem Wasserstoffjodid-(HI) Gas mit einer ersten Gasflussrate und mit Sauerstoff-(O₂) Gas mit einer zweiten Gasflussrate betrieben. Das Verhältnis zwischen der ersten und zweiten Gasflussrate liegt zwischen ungefähr 20 zu 1 und 3 zu 1. Gemäß einer weiteren Verfahrensmodifikation können inerte Gase wie Helium (He)- oder Argon (Ar)-dem Sauerstoff beigemischt werden, mit einer dritten Gasflussrate für Helium und einer vierten Gasflussrate für Argon. Die Gasflussraten für Argon oder Helium und für Sauerstoff weisen ebenfalls ein Verhältnis zwischen ungefähr 20 zu 1 und 3 zu 1 auf.

[0033] In den diversen anschaulichen Ausführungsformen der Erfindung, wobei die Gateelektrode 10 Polysilizium umfasst, kann eine antireflektierende Beschichtung 6 verwendet werden. Dabei verhindert die antireflektierende Beschichtung 6, dass die polykristalline Siliziumschicht 4 durch die HI-enthaltenden Plasmen geätzt wird. Eine üblich verwendete antireflektierende Beschichtung 6 umfasst Siliziumoxynitrid (SiO_xN_y). Der Plasmaätzprozess gemäß diesen erfindungsgemäßen Ausführungsformen, besitzt eine wesentliche höhere Selektivität für das Fotolackstrukturmerkmal 7 als für die antireflektierende Beschichtung 6, verglichen zu der Selektivität zwischen dem Fotolackstrukturmerkmal 7 und der polykristallinen Siliziumschicht 4 in Ausführungsformen, in denen die antireflektierende Beschichtung 6 nicht vorhanden ist. Das durch die HI-enthaltenden Plasmen geätzte Fotolackstrukturmerkmal 7 ist ungefähr 10 bis 20 mal stärker betroffen als die antireflektierende Beschichtung 6. Ohne eine antireflektierende Beschichtung 6 wird das Fotolackstrukturmerkmal 7 lediglich 3 bis 5 mal schneller als die polykristalline Siliziumschicht 4 geätzt. Daher verhindert vorteilhafterweise die antireflektierende Beschichtung 6 eine Beschädigung der polykristallinen Siliziumschicht 4 während des Herstellungsvorgangs.

[0034] Die zuvor offenbarten speziellen Ausführungsformen sind lediglich illustrativer Natur, da die Erfindung auf unterschiedliche aber äquivalente Arten und Weisen, die dem Fachmann ersichtlich sind, mit dem Vorteil der hierin enthaltenen Lehre modifiziert und ausgeführt werden kann. Beispielsweise können die oben angeführten Prozessschritte in einer unterschiedlichen Reihenfolge ausgeführt werden. Ferner sind mit den Details der Ausführungen oder Ausgestaltungen, die hierin gezeigt sind, keine anderen Einschränkungen als in den folgend beschriebenen Ansprüchen beabsichtigt. Es ist daher offensichtlich, dass spezielle, zuvor offenbarte Ausführungsformen geändert oder modifiziert werden können und alle derartigen Varianten in den Schutzbereich und den Grundgedanken der Erfindung fallend zu betrachten sind. Folglich ist der hierin angestrebte Schutzbereich in den folgenden Patentansprüchen dargelegt.

1. Verfahren zur Herstellung eines Halbleiterbauteils mit:

- (a) Bereitstellen eines Halbleitersubstrats mit einer Oberfläche; 5
- (b) Formen einer Schicht aus Gateelektrodenmaterial über der Oberfläche des Substrats;
- (c) Bilden eines Fotolackstrukturmerkmals über der Schicht aus Gateelektrodenmaterial, wobei das Fotolackstrukturmaterial eine seitliche Abmessung aufweist; 10
- (d) Reduzieren der seitlichen Abmessung des Fotolackstrukturmerkmals; und
- (e) Strukturieren zumindest der Schicht aus Gateelektrodenmaterial unter Verwendung des Fotolackstrukturmerkmals mit der reduzierten seitlichen Abmessung. 15

2. Das Verfahren nach Anspruch 1, wobei das Fotolackstrukturmerkmal ein wärmevariables Material umfasst. 20

3. Das Verfahren nach Anspruch 2, wobei das Reduzieren der seitlichen Abmessung des Fotolackstrukturmerkmals das Schrumpfen des wärmevariablen Fotolackstrukturmerkmals mittels einer Wärmebehandlung umfasst. 25

4. Das Verfahren nach Anspruch 1, wobei das Reduzieren der seitlichen Abmessung des Fotolackstrukturmerkmals das Ätzen des Fotolackstrukturmerkmals in einem Ätzprozess mit einem isotropen Ätzmittel umfasst. 30

5. Das Verfahren nach Anspruch 4, wobei der Ätzprozess das isotrope Ätzmittel mit einem Ätzreaktionshemmmittel umfasst.

6. Das Verfahren nach Anspruch 6, wobei das isotrope Ätzmittel ausgewählt wird, um das Fotolackstrukturmerkmal zu ätzen. 35

7. Das Verfahren nach Anspruch 4, wobei das isotrope Ätzmittel ein Trockenätzmittel mit einem Plasma aus reaktiven Ätzmaterial und einem Ätzratenhemmmittel ist. 40

8. Das Verfahren nach Anspruch 7, wobei das isotrope Ätzmittel Jod enthaltende und Sauerstoff enthaltende Plasmen umfasst.

9. Das Verfahren nach Anspruch 8, wobei die Plasmen Wasserstoffjodid umfassen. 45

10. Das Verfahren nach Anspruch 9, wobei die Plasmen durch induktiv gekoppelte Plasmaquellen erzeugt werden.

11. Das Verfahren nach Anspruch 10, wobei eine Ätzselektionsschicht über Oberflächengebieten, die sonst freigelegt wären, von dem strukturierten Fotolackstrukturmerkmal bereitgestellt wird, um eine erhöhte Ätzselektivität zwischen dem Fotolackstrukturmerkmal und dem ansonsten freigelegten Halbleitersubstrat bereitzustellen. 50

12. Das Verfahren nach Anspruch 1, wobei das Reduzieren der seitlichen Abmessung des Fotolackstrukturmerkmals das Ätzen des Fotolackstrukturmerkmals in einem Ätzprozess mit einem Ätzmittel, das zumindest Wasserstoff umfasst, beinhaltet. 55

13. Das Verfahren nach Anspruch 7, wobei das Ätzmittel Brom enthaltende, Chlor enthaltende, oder Fluor enthaltende Plasmen umfasst.

14. Verfahren zur Herstellung eines Halbleiterbauelements mit:

- (a) Bereitstellen eines Halbleitersubstrats mit einer antireflektierenden Beschichtung und einer

Oberfläche über der antireflektierenden Beschichtung;

(b) Bilden einer Schicht aus Gateelektrodenmaterial über der Oberfläche;

(c) Bilden eines Fotolackstrukturmerkmals über der Schicht aus Gateelektrodenmaterial, wobei das Fotolackstrukturmaterial eine seitliche Abmessung aufweist;

(d) Reduzieren der seitlichen Abmessung des Fotolackstrukturmerkmals durch Ätzen des Fotolackstrukturmerkmals während eines Plasmaätzvorgangs, der Wasserstoffjodid und Sauerstoffplasmen beinhaltet, und eine Ätzrate in der seitlichen Richtung aufweist; und

(e) Strukturieren zumindest der Schicht aus Gateelektrodenmaterial unter Verwendung des Fotolackstrukturmerkmals mit der reduzierten seitlichen Abmessung.

15. Das Verfahren nach Anspruch 14, wobei in dem Plasmaätzvorgang Wasserstoffjodid mit einer ersten Gasflussrate und Sauerstoff mit einer zweiten Gasflussrate vorgesehen ist, wobei die erste Gasflussrate und die zweite Gasflussrate ein Verhältnis zwischen ungefähr 20 zu 1 und 3 zu 1 aufweisen.

16. Das Verfahren nach Anspruch 14, wobei die Ätzrate einen Wert zwischen ungefähr 0,8 nm/s und 3 nm/s aufweist.

17. Das Verfahren nach Anspruch 14, wobei die Ätzrate für das Fotolackstrukturmerkmal ungefähr 10 bis 20 mal höher ist als für die antireflektierende Beschichtung.

Hierzu 1 Seite(n) Zeichnungen

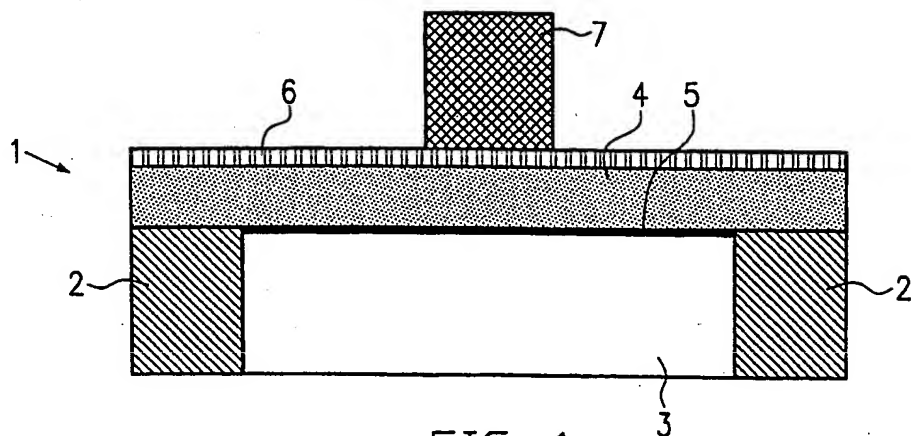


FIG. 1

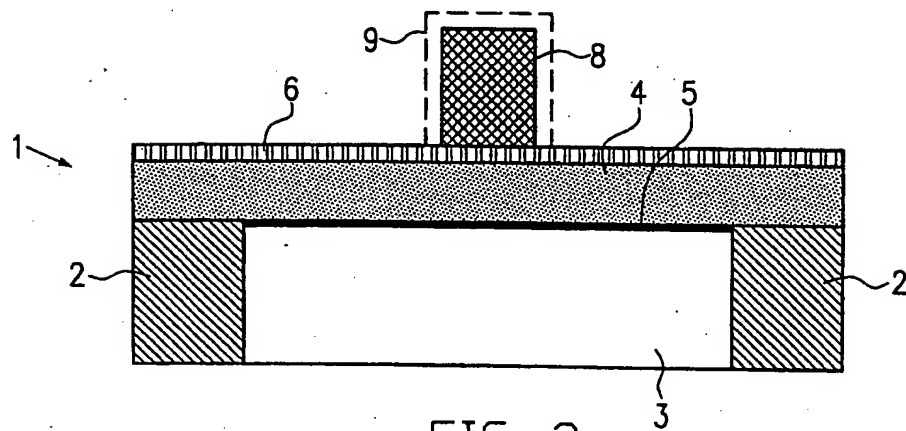


FIG. 2

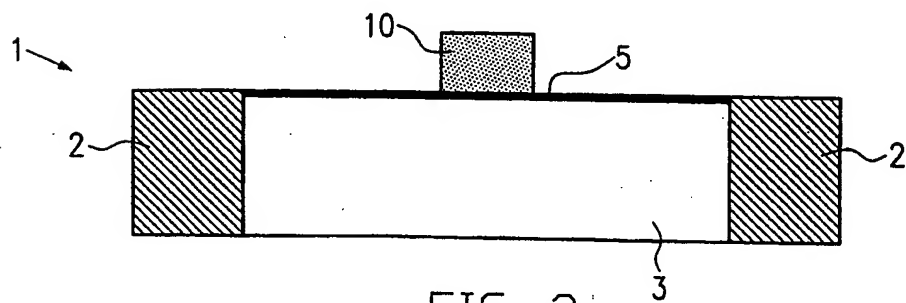


FIG. 3